

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-366436

(43)Date of publication of application : 20.12.2002

(51)Int.Cl.

G06F 12/14
G11C 16/02

(21)Application number : 2001-168947

(71)Applicant : HITACHI LTD

(22)Date of filing : 05.06.2001

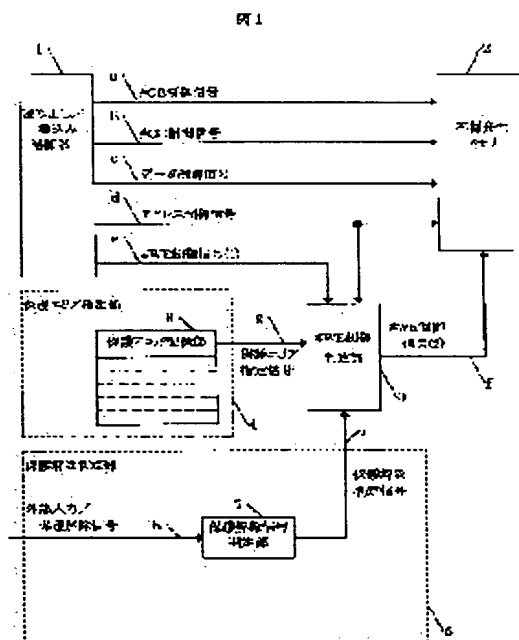
(72)Inventor : SAITO TOSHIYUKI
FUKUSHIGE TATSUHIRO
OTA SHINYA

(54) CIRCUIT AND METHOD FOR PREVENTING ERRONEOUS ERASURE AND ERRONEOUS WRITING OF NON-VOLATILE MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the erroneous erasure and erroneous writing of a non-volatile memory.

SOLUTION: This circuit or system having a non-volatile memory reloadable for each memory block is provided with a protection area (address) designating part, a protection release signal deciding part, and a #WE(write enable) control deciding part so that the erroneous erasure or erroneous writing of non-volatile memory data due to the malfunction of a program can be prevented by controlling a #WE(write enable) signal to the non-volatile memory. Therefore, even at the time of performing erasure or writing to a protection area in a protection non-releasing state, the #WE control is suppressed so that it is possible to prevent the erroneous erasure or erroneous writing of the protection area due to the malfunction of the program.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-366436

(P2002-366436A)

(43) 公開日 平成14年12月20日 (2002. 12. 20)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
G 0 6 F 12/14	3 1 0	G 0 6 F 12/14	3 1 0 D 5 B 0 1 7
G 1 1 C 16/02		G 1 1 C 17/00	6 0 1 P 5 B 0 2 5

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願2001-168947 (P2001-168947)

(22) 出願日 平成13年6月5日 (2001. 6. 5)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 斉藤 敏之

神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所通信事業部内

(72) 発明者 福成 辰博

神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所通信事業部内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

(54) 【発明の名称】 不揮発性メモリ誤消去、誤書き込み防止回路及び方法

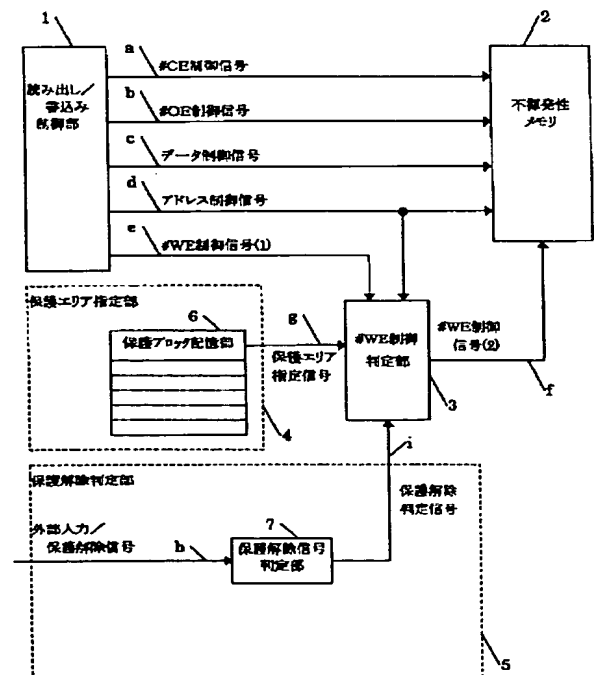
(57) 【要約】

【課題】 不揮発性メモリの誤消去・誤書き込みを防止する。

【解決手段】 メモリブロック毎に書替え可能な不揮発性メモリを有する回路またはシステムにおいて、保護エリア（アドレス）指定部、保護解除信号判定部、#WE（ライト・イネーブル）制御判定部を備え、不揮発性メモリへの#WE（ライト・イネーブル）信号を制御し、プログラムの誤動作などによる不揮発性メモリデータの誤消去や誤書き込みを防止する。

【効果】 保護非解除状態において保護エリアに消去や書き込みを実施しても#WE制御を抑制する構成を取っている為、プログラムが誤動作しても保護エリアの誤消去や誤書き込みを防止する事が可能である。

図 1



(2)

【特許請求の範囲】

【請求項1】複数のメモリブロックを有し、メモリブロック毎に電氣的に書き替え可能な不揮発性メモリに対する誤消去・誤書き込みを防止する回路において、前記不揮発性メモリに対する読み出し／書き込み制御部と、前記誤消去・誤書き込みを防止し保護するメモリエリアを指定する保護エリア指定部と、保護解除信号を判定する保護解除判定部と、前記保護解除判定部の出力と前記保護エリア指定部の出力と読み出し／書き込み制御部出力の#WE（ライト・イネーブル）制御信号と同出力のアドレス制御信号とから不揮発性メモリへの#WE制御信号を判定する#WE制御判定部を備え、保護非解除状態のときに保護エリア指定部にて指定されたメモリエリアに対し消去や書き込みを実施しても不揮発性メモリに対する#WE端子制御を抑制する手段と、保護解除状態においては、同メモリエリアに対し消去や書き込みを可とする手段とを設け、保護非解除状態において消去や書き込みを禁止し、保護解除状態において前記メモリエリアに対し消去や書き込みを可とする事の特徴とする不揮発性メモリ誤書き込み防止回路。

【請求項2】請求項1において、更に前記保護エリア指定部に保護エリア記憶書換え処理部を備え、外部からの指示により、保護エリアの指定変更を可とすることを特徴とする請求項1記載の不揮発性メモリ誤書き込み防止回路。

【請求項3】請求項1において、更に保護解除判定部に通常不揮発性メモリに供給する電圧よりも高い電圧を検出する高電圧検出回路を備え、不揮発性メモリに通常供給する信号電圧よりも高い電圧が保護解除信号として入力された場合に、誤消去・誤書き込みを防止し保護するメモリエリアの保護解除を指示する保護解除信号において、保護解除することを特徴とする請求項1記載の不揮発性メモリ誤書き込み防止回路。

【請求項4】請求項1において、更に保護解除判定部に保護解除パターン記憶部と保護解除パターン判定部を備え、前記消去・誤書き込みを防止し保護するメモリエリアの保護解除を指示する保護解除信号から入力されたパターンと、保護解除パターン記憶部に記憶されている保護解除パターンとの照合をとり、同じパターンと判定された場合に保護解除することを特徴とする請求項1記載の不揮発性メモリ誤書き込み防止回路。

【請求項5】請求項1において、更に保護解除判定部に通常不揮発性メモリに供給する電圧よりも高い電圧を検出する高電圧検出回路と、保護解除パターン記憶部と保護解除パターン判定部と、保護解除に使用する外部入力を2入力備え、一方の外部入力からは不揮発性メモリに通常供給する信号電圧よりも高い電圧が入力され、かつ、もう一方の外部入力からは保護解除パターン記憶部に記憶されている保護解除パターンと同じパターンが入力された場合に保護解除することを特徴とする請求項1

記載の不揮発性メモリ誤書き込み防止回路。

【請求項6】請求項4又は請求項5において、予め定めた任意のパターンを、保護解除パターンとすることを特徴とする不揮発性メモリ誤書き込み防止回路。

【請求項7】複数のメモリブロックを有し、メモリブロック毎に電氣的に書き替え可能な不揮発性メモリに対する誤消去・誤書き込みを防止する手段と、前記不揮発性メモリに対する読み出し／書き込み制御部と、前記誤消去・誤書き込みを防止し保護するメモリエリアを指定する保護エリア指定部と、保護解除信号を判定する保護解除判定部と、前記保護解除判定部の出力と前記保護エリア指定部の出力と読み出し／書き込み制御部出力の#WE（ライト・イネーブル）制御信号と同出力のアドレス制御信号とから不揮発性メモリへの#WE制御信号を判定する#WE制御判定部を備えた不揮発性メモリ回路の誤消去、誤書き込み防止方法において、前記不揮発性メモリが保護非解除状態にあるとき上記保護エリア指定部にて指定されたメモリエリアに対し消去や書き込みを実施しても不揮発性メモリに対する#WE端子制御を抑制し、消去や書き込みを禁止し、保護解除状態のとき上記メモリエリアに対し消去や書き込みを可とする事の特徴とする不揮発性メモリ誤書き込み防止方法。

【請求項8】前記保護エリア指定において、前記不揮発性メモリのメモリブロック毎に保護エリアを指定し、かつ、単一もしくは複数のメモリブロック保護を指定可とすることを特徴とする請求項7記載の不揮発性メモリ誤書き込み防止方法。

【請求項9】前記保護エリア指定において、前記不揮発性メモリのアドレス毎もしくは任意のアドレス範囲に保護エリアを指定し、かつ、単一もしくは複数のメモリエリア保護を指定可とすることを特徴とする請求項7記載の不揮発性メモリ誤書き込み防止方法。

【請求項10】誤消去・誤書き込みを防止し保護するメモリエリアの保護解除を指示する保護解除信号において、信号のHレベル／Lレベルを保護解除／保護非解除し、またはその逆の組合せとすることを特徴とする請求項7～9記載の不揮発性メモリ誤書き込み防止方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリブロック毎に書き替え可能な不揮発性メモリを有する回路またはシステムに関し、特にプログラムの誤動作などによる不揮発性メモリデータの誤消去や誤書き込みを防止する方法に関するものである。

【0002】

【従来の技術】近年、データの書替が可能であり、さらに電源断などの際でも記憶データをそのまま保持可能なEEPROMやフラッシュメモリなどの不揮発性メモリを記憶デバイスとして搭載する機器が増えている。例えば、パソコンなどの機器で起動用ブートプログラムを不

(3)

3

揮発性メモリに保存して使用する場合には、ブートプログラムの誤消去、誤書き込みを防止するため、最初の書き込み後にデータ保護を実施する必要がある。

【0003】従来、不揮発性メモリはメモリブロックへの誤消去・誤書き込み防止方法として、不揮発性メモリの特定の制御端子に通常供給する信号電圧よりも高い電圧を供給することにより、またはそれに加えて制御コマンドをアドレス制御端子やデータ端子に投入することにより誤書き込みを防止する不揮発性メモリが具備する機能を活用して保護を設定するのが一般的である。

【0004】また他の誤書き込み防止方法としては、特開平5-67758号公報のようにメモリブロック毎の消去状態か書き込み状態かを記憶する書き込み状態記憶回路を備え、書き込み制御を実施する前に書き込み状態記憶回路の当該メモリブロックに対する書き込み状態を調べてから書き込み動作を実施する方法がある。

【0005】また別の誤書き込み防止方法としては、特開平11-306085号公報のように特定ブロック指定記憶部と保護指定記憶部とを備えることによって、ブロック保護を二重化し、不揮発性メモリへの書き込み動作を禁止する方法がある。

【0006】さらに別の誤書き込み防止方法としては、特開2001-14872号公報のようにソフトウェアの起動検出回路や電源投入検出回路を備え、回路やシステムの動作が不安定になる可能性が高い起動直後や電源投入直後の一定時間、不揮発性メモリへの書き込み動作を禁止する方法がある。

【0007】

【発明が解決しようとする課題】しかしながら、従来のように通常供給する電圧（例えば5V）より高い電圧（例えば12V）を不揮発性メモリのある制御端子に投入してメモリブロックの保護を実施する方法では、図9に示したようにフラッシュメモリを制御する読み出し／書き込み制御部側に通常より高耐圧の素子を用意し、内部で高電圧を供給する電源と通常供給用の電源の二つを用意するか、図10に示したようにスイッチを設け、高電圧供給時にはスイッチを切替えるような回路が必要となる。

【0008】また特開平5-67758号公報による方法は、メモリの上書きという誤書き込みの防止と、既に消去済みのメモリエリアの消去を実施しない方法であり、保護メモリエリアの誤消去防止については考慮されていない。

【0009】特開平11-306085号公報による方法では、ブロック保護機構を二重化するためにリソースが2倍必要であり、コストアップとなる。また、いざ保護しているメモリブロックに対しデータの書き換えを実施したい時の保護解除操作として、二重の保護解除を並列処理で実施できる形態とはなっていない為、保護解除処理に時間がかかる事が予想される。

4

【0010】特開2001-14872号公報による方法では、起動時やシステム障害時などの一定時間のみの対策であり、設定した一定時間を過ぎてしまった後の誤消去や誤書き込み防止という恒常的な対策方法とはなっていない。

【0011】

【課題を解決するための手段】このような課題を解決する為に本発明では、メモリブロック毎に書替え可能な不揮発性メモリを有する回路またはシステムにおいて、保護エリア指定部、保護解除判定部、#WE（ライト・イネーブル）制御判定部を備え、不揮発性メモリへの#WE（ライト・イネーブル）信号を制御し、プログラムの誤動作などによる不揮発性メモリデータの誤消去や誤書き込みを防止することを特徴とする。

【0012】

【発明の実施の形態】以下、本発明による不揮発性メモリの誤書き込み・誤消去防止方法を図面により詳細に説明する。図1は本発明の一実施形態による不揮発性メモリ誤書き込み防止制御回路の構成を示すブロック図である。

【0013】図1に示す本発明の実施形態による不揮発性メモリ誤書き込み防止制御回路は、メモリブロック毎に消去・書き換え可能な不揮発性メモリ2と、不揮発性メモリ2の読み出し／書き込み制御を実施する為の#CE（チップ・イネーブル）制御信号aと#OE（アウトプット・イネーブル）制御信号bとデータ制御信号cとアドレス制御信号dと#WE（ライト・イネーブル）制御信号(1)eを生成する読み出し／書き込み制御部1と、保護エリア情報を記憶し指定する保護エリア指定部4と、外部入力である保護解除信号hを監視し保護解除か否かを判定し保護解除判定信号iを出力する保護解除判定部5と、アドレス制御信号dと#WE制御信号(1)eと保護エリア指定信号gと保護解除判定信号iから不揮発性メモリ2への#WE制御信号(2)fを決定する#WE制御判定部3から構成される。

【0014】図1において、保護エリア指定部4は、同一の不揮発性メモリまたは別の不揮発性メモリ、あるいは論理回路で構成することにより、不揮発性メモリのメモリブロック毎に単一または複数のメモリブロックを保護エリアと指定することができる。

【0015】また図1において、保護解除判定部5は、外部入力／保護解除信号hがHレベルの時、保護解除判定信号i=Hレベル（保護解除）とし、同Lレベルの時、保護解除判定信号i=Lレベル（保護非解除）とする。

【0016】次に本実施形態の動作について説明する。

【0017】不揮発性メモリ2に対する読み出し（リード）制御の場合の動作について説明する。リード制御に際し、読み出し／書き込み制御部1は、アドレス制御信号dに読み出したい不揮発性メモリ2のアドレスをセッ

(4)

5

とし、適したタイミングで#CE制御信号a=Lレベル、#OE制御信号b=Lレベルにセットする。すると不揮発性メモリ2のアクセスタイミングに従い、データ制御信号cに不揮発性メモリ2のデータが出力される。この不揮発性メモリデータの読み出しの際には、#WE制御信号(1)eおよび#WE制御信号(2)fはHレベル状態のまま保持され、保護エリア指定部4や保護解除信号判定部5、#WE制御判定部3も関与せず、よって不揮発性メモリデータの読み出しは自由に実施できる(図2項番1)。

【0018】次に不揮発性メモリ2に対する消去・書き込み(ライト)制御の場合の動作について説明する。

【0019】書き込み制御時に保護解除判定信号i=Lレベル(非解除)状態で、保護エリアと同じブロックをアドレス制御信号で指定した場合には、不揮発性メモリ2への#WE制御信号(2)fをHレベル状態を保持するように制御し、保護エリアの消去・書き込みを禁止させ、データを保護する(図2項番2)。

【0020】保護解除判定信号i=Lレベル(非解除)状態で、保護エリアと異なるブロックをアドレス制御信号で指定した場合には、不揮発性メモリ2への#WE制御信号(2)fを#WE制御信号(1)eと同様にLレベル制御し、消去・書き込みを許可する(図2項番3)。

【0021】保護解除判定信号i=Hレベル(解除)状態の場合には、保護エリアやアドレス制御信号に依らず#WE制御信号(2)fは、#WE制御信号(1)eと同様に制御し、消去・書き込みを許可する(図2項番4、項番5)。

【0022】以上のような制御に従い、通常は保護解除判定信号i=Lレベル(非解除)状態にしておくことで、任意に設定した保護エリアの誤消去・誤書き込みを防止することができ、仮に保護エリアのデータ書き換えを実施したいときにも保護解除判定信号i=Hレベル(解除)状態に設定するように外部入力/保護解除信号hを制御することによって容易に書き換えを実施することが可能となる。

【0023】前述において、誤消去・誤書き込みを禁止する単位をメモリブロック毎に設定しているが、第2の実施形態として、誤書き込み防止を、アドレス毎または任意のアドレス範囲で保護する事も可能である。この場合、図3に示すように保護エリア指定部4の保護アドレス記憶部8にアドレス値を記憶する。第2の実施形態によれば、アドレス毎に保護エリアを設定できる為、より柔軟な保護およびメモリ制御が可能となる。なお消去は、メモリデバイスの構造的にメモリブロック毎の一括消去となる為、アドレス毎の誤消去防止はできない。

【0024】図4は、第1の実施形態の保護エリア指定部の変形例である第3の実施形態である。図4では、保護エリア指定部4に保護エリア記憶書換え処理部10を備え、外部入力/保護エリア記憶部書換え指示jに従

6

い、書換え制御kを実施し、保護エリアの変更を可能としている。ここで保護エリアとは、前述のとおりメモリブロックでもアドレスでも良い。第3の実施形態によれば、版数アップなどで保護したいデータのサイズや格納エリアが変更になっても、それに追隨して保護エリア指定を柔軟に変更し対応することが可能となる。

【0025】図5は、第1の実施形態の保護解除判定部の一変形例である第4の実施形態である。図5では、保護解除判定部5に保護解除パターン記憶部12と保護解除パターン判定部11を備え、保護解除パターン記憶部に記憶されたパターンと保護解除信号hが同一の場合、保護解除判定信号i=Hレベル(保護解除)とする。図6は、図5の実施形態に従った保護解除の一例である。図6の項番1は、保護解除信号h(0x5F)と保護解除パターン(0x55)が異なる為、保護解除判定信号i=Lレベル(保護非解除)とする。項番2は、保護解除信号h(0x55)と保護解除パターン(0x55)が同一のため、保護解除判定信号i=Hレベル(保護解除)とする。なお、保護解除パターンは予め定めた任意のパターンが使用可能である。第4の実施形態によれば、保護解除信号hにおける雑音などによる誤動作、誤書き込みを防止することができる。

【0026】図7は、第1の実施形態の保護解除判定部の他の一変形例である第5の実施形態である。図7では、保護解除判定部5に高電圧検出回路13を備え、外部入力信号lに通常使用する電圧(例えば5V)より大きな、予め定めた電圧(例えば12V)が入力された場合に保護解除判定信号i=Hレベル(保護解除)とする。第5の実施形態によれば、保護解除信号hにおける雑音などによる誤動作、誤書き込みを防止することができる。

【0027】図8は、第1の実施形態の保護解除判定部のさらに他の一変形例である第6の実施形態である。図8では、保護解除判定部5に保護解除パターン記憶部12と保護解除パターン判定部11と高電圧検出回路13を備え、保護解除パターン判定部11の判定出力mと高電圧検出回路13の判定出力nとの論理積を取り、判定出力m=Hレベル(保護解除)、かつ、判定出力n=Hレベル(保護解除)のときだけ、保護解除判定信号i=Hレベル(保護解除)とする方法である。第6の実施形態によれば、保護解除の操作を二つの外部入力から判定することで雑音などによる誤動作、誤書き込みを防止する事ができる。

【0028】

【発明の効果】以上説明したとおり、本発明によれば、保護非解除状態において保護エリアに消去や書き込みを実施しても#WE制御を抑制する構成を取っている為、プログラムが誤動作しても保護エリアの誤消去や誤書き込みを防止する事ができ、また保護解除信号をパターンで判定するなどしたことにより、雑音などによる誤動作

(5)

の防止もできる。

【図面の簡単な説明】

【図1】本発明の一実施形態である不揮発性メモリ誤書き込み防止制御回路の構成を示すブロック図である。

【図2】図1の実施形態に従った保護例である。

【図3】本発明の第2の実施形態の構成を示すブロック図である。

【図4】本発明の第3の実施形態の構成の一部を示すブロック図である。

【図5】本発明の第4の実施形態の構成の一部を示すブロック図である。

【図6】本発明の第4の実施形態による保護例である。

【図7】本発明の第5の実施形態の構成の一部を示すブロック図である。

【図8】本発明の第6の実施形態の構成の一部を示すブロック図である。

【図9】従来のブロック保護の一例を示すブロック図である。

【図10】従来のブロック保護の他の一例を示すブロック図である。

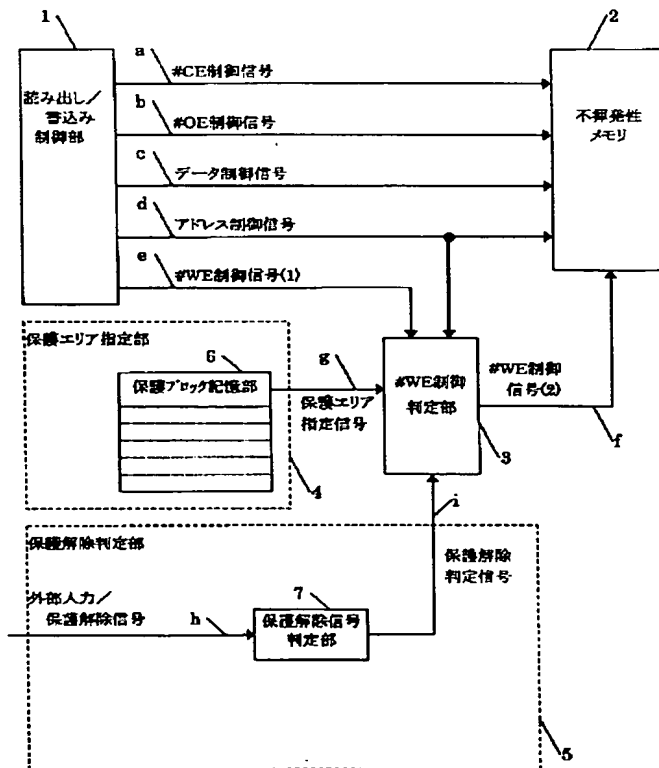
【符号の説明】

- 1 読み出し／書き込み制御部
- 2 不揮発性メモリ
- 3 #WE制御判定部

- 4 保護エリア指定部
- 5 保護解除判定部
- 6 保護ブロック記憶部
- 7 保護解除信号判定部
- 8 保護アドレス記憶部
- 9 保護エリア記憶部
- 10 保護エリア記憶書換え処理部
- 11 保護解除パターン判定部
- 12 保護解除パターン記憶部
- 13 高電圧検出回路
- a #CE制御信号
- b #OE制御信号
- c データ制御信号
- d アドレス制御信号
- e #WE制御信号(1)
- f #WE制御信号(2)
- g 保護エリア指定部信号
- h 外部入力／保護解除信号
- i 保護解除判定信号
- j 外部入力／保護エリア記憶部書換え指示
- k 書換え制御
- l 外部入力信号
- m 保護解除判定部 判定出力
- n 高電圧検出回路 判定出力

【図1】

図1



【図2】

図2

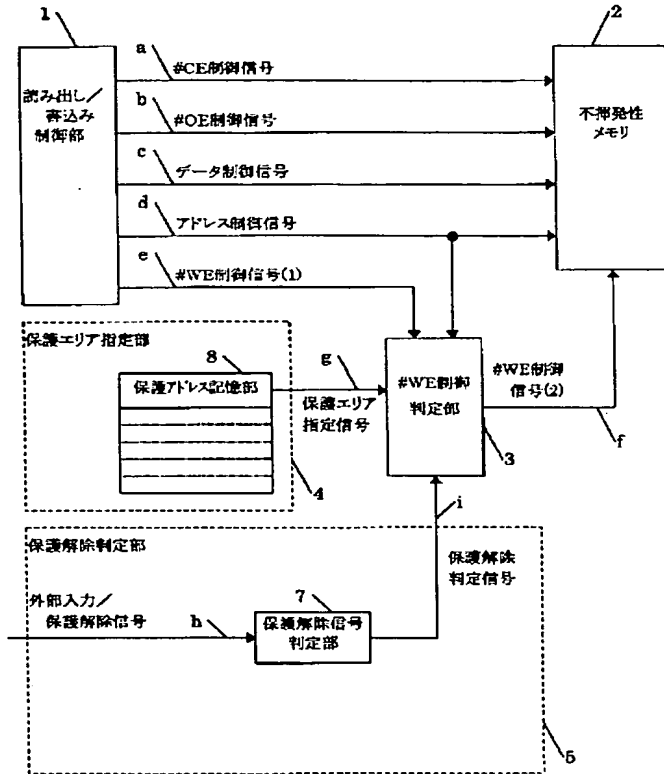
項目	#CE a	#OE b	#WE (1) e	保護解除 信号 h	保護ブロック g	アドレス d	#WE (2) f	備考
1	L	L	H	X	001	X	H	リード制御
2	L	H	L	L	001	001	H	ライト制御 保護
3	L	H	L	L	001	002	L	ライト制御 非保護
4	L	H	L	H	001	001	L	ライト制御 非保護
5	L	H	L	H	001	002	L	ライト制御 非保護

L:Low制御
H:High制御
X:任意
001 or 002:メモリブロック番号

(6)

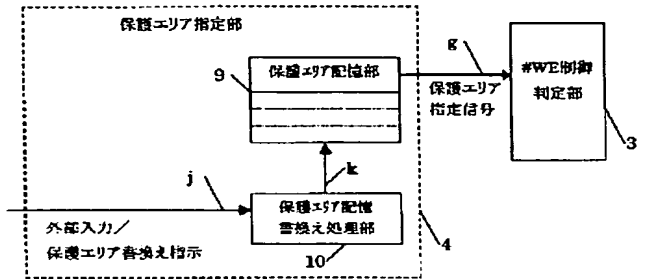
【図 3】

図 3



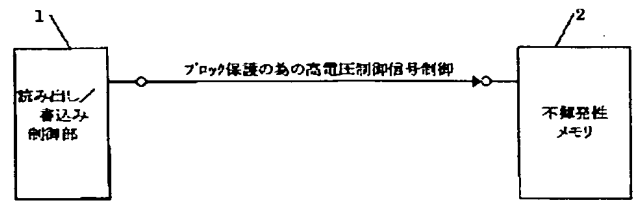
【図 4】

図 4



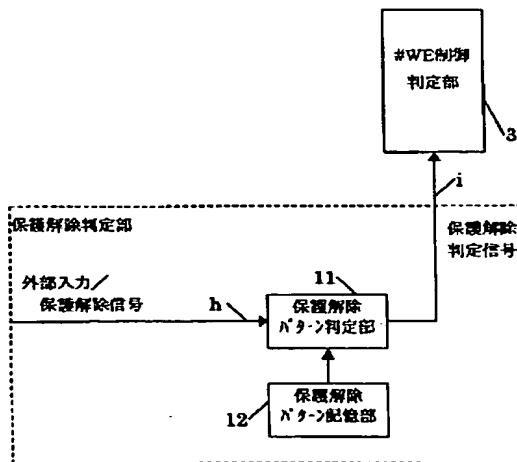
【図 9】

図 9



【図 5】

図 5



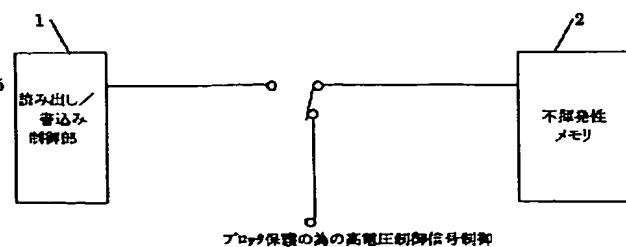
【図 6】

図 6

項目	保護解除 信号 h	保護解除 パターン	保護解除 判定信号 i
1	0x5F	0x55	L:非解除
2	0x65	0x55	H:解除

【図 10】

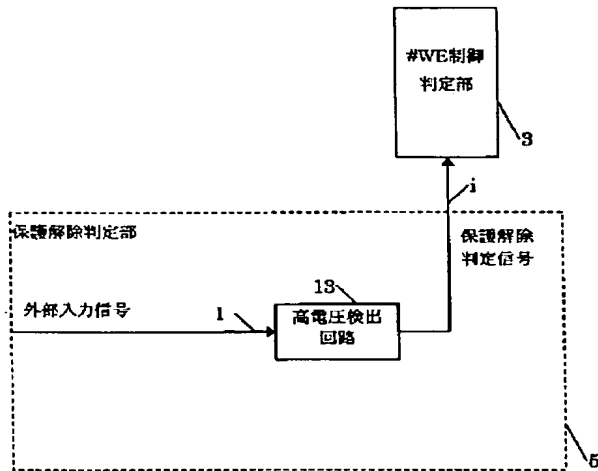
図 10



(7)

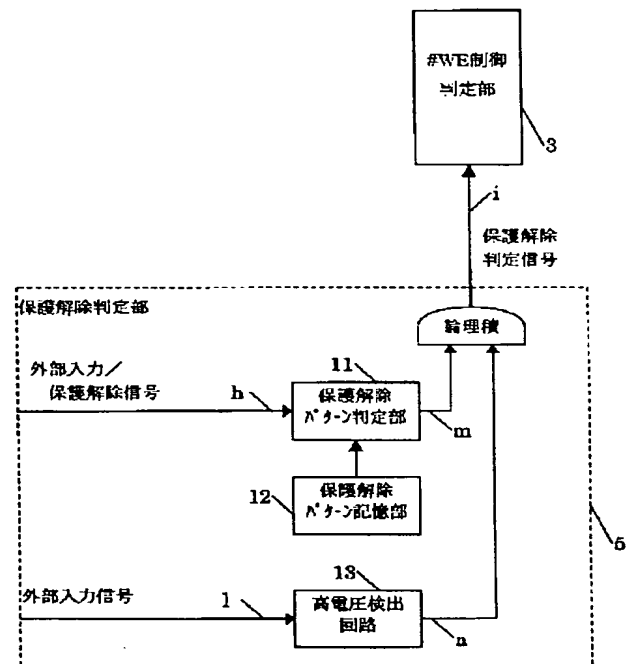
【図7】

図7



【図8】

図8



フロントページの続き

(72)発明者 太田 慎也
 神奈川県横浜市戸塚区戸塚町216番地 株
 式会社日立製作所通信事業部内

Fターム(参考) 5B017 AA02 AA04 BA01 CA11
 5B025 AD01 AD14 AE08